

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-21444

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl. ⁵ H 01 L 29/784 29/62	識別記号 G 9055-4M 7377-4M	庁内整理番号 F I	技術表示箇所 H 01 L 29/ 78 3 0 1 R
--	------------------------------	---------------	---------------------------------

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-195987

(22)出願日 平成4年(1992)6月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 猿渡 勝

東京都港区芝五丁目7番1号 日本電気株式会社内

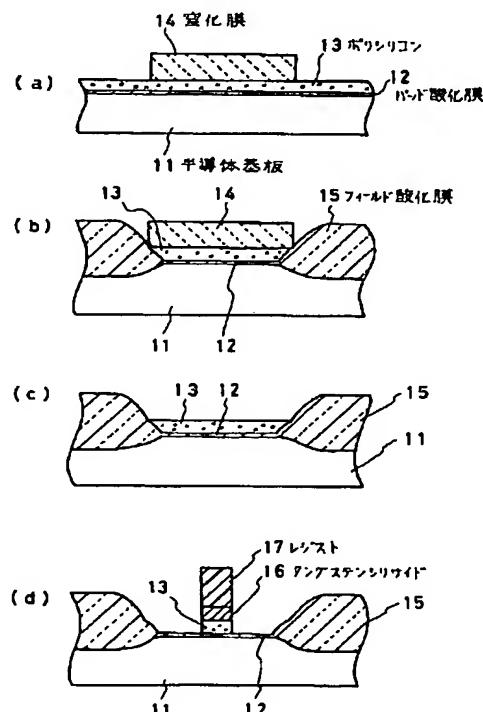
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 M I S型半導体装置の素子間分離用酸化膜を縮小化して集積度を改善する一方で、製造工程数の削減を図る。

【構成】 半導体基板11上に酸化膜12、酸化膜形成材料膜13および非酸化材料膜14を順次成長させる工程と、素子間分離領域の非酸化材料膜14を除去し、酸化膜形成材料膜13および半導体基板11の表面を酸化して素子間分離用選択酸化膜15を形成する工程と、素子形成領域に残された酸化膜12および酸化膜形成材料膜13の一部を利用してゲート絶縁膜およびゲート電極を形成する工程を含み、素子間分離用選択酸化膜15の形成後に、改めてゲート絶縁膜やゲート電極を構成する膜を成長する工程を削減する。



【特許請求の範囲】

【請求項1】 半導体基板上に酸化膜、酸化膜形成材料膜および非酸化材料膜を順次成長させる工程と、素子間分離領域の前記非酸化材料膜を除去し、前記酸化膜形成材料膜および前記半導体基板の表面を酸化して素子間分離用選択酸化膜を形成する工程と、素子形成領域に残された前記酸化膜および前記酸化膜形成材料膜の一部を利用してゲート絶縁膜およびゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMIS電界効果型半導体装置に関し、特に工程数を削減した半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来のMIS電界効果形半導体装置としてMOSトランジスタを製造する際に、素子間を分離するための素子間分離構造を製造する工程が必要とされる。従来の素子間分離方法としては、素子間分離領域の半導体基板を選択的に酸化するLOCOS法がある。これについて図7を用いて説明する。先ず、図7(a)に示すように、半導体基板31上にパッド酸化膜32、窒化膜33を形成した後、図外のホトレジストをマスクにして素子間分離領域となるべき部分の窒化膜を除去し、さらにホトレジストも除去する。次に、図7(b)に示すように、約1000°Cで酸化処理を施し、素子間分離領域に選択的に厚い酸化膜、つまりフィールド酸化膜34を形成する。しかる後、図7(c)に示すように、窒化膜33上に成長した図外の酸化膜、窒化膜33、パッド酸化膜32を除去する。

【0003】 次に、図7(d)に示すように、ゲート酸化膜35、ポリシリコン36、タングステンシリサイド37を順次成長させ、これをホトレジスト38をマスクにして選択的に除去することで、ポリシリコンと金属とが積層された所謂ポリサイドのゲート電極が形成される。その後、常法によりソース・ドレイン拡散層を形成することでMOSトランジスタが形成される。しかし、この方法ではフィールド酸化膜34を酸化処理により形成しているため、横方向への酸化の進行によって所謂バーズピークが大きくなり、微細化に支障をきたす。

【0004】 この対策としてLOPOS法が提案されている。これについて図8を用いて説明する。先ず、図8(a)に示すように、半導体基板41上にパッド酸化膜42、ポリシリコン43、窒化膜44を順次成長させる。この時、窒化膜44はバーズピークを小さくするためにLOCOS法のときの窒化膜より厚く成長させる。そして図外のホトレジストをマスクにして素子間分離領域となるべき部分の窒化膜44を除去し、さらにホトレジストも除去する。次に、図8(b)に示すように、約1000°Cでポリシリコン43、および半導体基板41を酸

化することで、素子間分離領域に選択的に酸化膜つまりフィールド酸化膜45を形成する。この時、素子形成領域と素子間分離領域の境界は、窒化膜44が厚くその下があまり酸化されないこと、及びポリシリコン43が先に酸化されるため、半導体基板41の酸化が少なくなることからバーズピークはLOCOS法よりも小さくなる。

【0005】 次いで、図8(c)に示すように、窒化膜44上に成長した図外の酸化膜、窒化膜44、ポリシリコン43、パッド酸化膜42を除去する。しかる上で、図8(d)に示すように、ゲート酸化膜46、第2ポリシリコン47、タングステンシリサイド48を成長させ、これをホトレジスト49をマスクにして選択的に除去することでポリサイドのゲート電極が形成できる。その後、ソース・ドレイン拡散層を形成してMOSトランジスタを構成することは同じである。

【0006】

【発明が解決しようとする課題】 このLOPOS法はLOCOS法に比較してバーズピークの進行を抑制し、集積度を改善する上で有利であるが、素子間分離用のフィールド酸化膜45を形成した後に、素子形成領域の酸化材であるポリシリコン43とパッド酸化膜42を除去し、さらにゲート電極部の絶縁膜であるゲート酸化膜46およびゲート電極を形成するための導電膜47を成長させなければならず、LOCOS法に比較して工程数が多くなるという問題点がある。本発明の目的は、集積度を改善する一方で工程数を削減した半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】 本発明は、半導体基板上に酸化膜、酸化膜形成材料膜および非酸化材料膜を順次成長させる工程と、素子間分離領域の非酸化材料膜を除去し、酸化膜形成材料膜および半導体基板の表面を酸化して素子間分離用選択酸化膜を形成する工程と、素子形成領域に残された酸化膜および酸化膜形成材料膜の一部を利用してゲート絶縁膜およびゲート電極を形成する工程を含んでいる。

【0008】

【実施例】 次に、本発明について図面を参照して説明する。図1(a)～(d)は本発明の一実施例を工程順に示す断面図であり、図3に示すMOSトランジスタのA-A線に沿う断面を示している。又、図2(a)～(d)は図3のB-B線に沿う断面図である。先ず、図1(a)、図2(a)に示すように、半導体基板11上にパッド酸化膜12、ポリシリコン13、窒化膜14を成長させる。この時パッド酸化膜12は後にゲート電極部の絶縁膜、つまりゲート酸化膜として利用するため、条件をこれに合わせる。そして図外のホトレジストをマスクにして素子間分離領域となるべき部分の窒化膜14を除去し、ホトレジストも除去する。

【0009】次に、図1 (b)、図2 (b) に示すように、約1000°Cでポリシリコン13および半導体基板11を酸化することで、素子間分離領域にフィールド酸化膜15を形成する。次に、図1 (c)、図2 (c) に示すように、空化膜14上に成長された図外の酸化膜および空化膜14を全面除去する。ここで、ポリシリコン13の抵抗を下げたい場合には、この状態で高ドーズのイオン注入をポリシリコン13に行えばよい。またMOSトランジスタのしきい値電圧を制御したい場合は、ポリシリコン13およびパッド酸化膜12を透過するエネルギーで不純物イオンを半導体基板11にイオン注入すればよい。

【0010】次に、図1 (d)、図2 (d) に示すように、タングステンシリサイド16を成長させ、ホトレジスト17をマスクにして選択的にポリシリコン13およびタングステンシリサイド16を除去することで、ポリサイドのゲート電極を形成できる。その後、ソース・ドレイン拡散層18 (図3参照) を形成し、MOSトランジスタが構成される。したがって、この製造方法では、フィールド酸化膜15のバーズピークの進行を抑制するために用いたポリシリコン13をそのままゲート電極として利用するので、ポリシリコン13を除去する工程が不要となり、更に改めてゲート電極を形成するためのポリシリコンを成長する工程が不要となる。これにより、MOSトランジスタの製造工程を削減できる。更に、フィールド酸化膜15上に形成される配線をタングステンシリサイド16のみとすることで、フィールド酸化膜15の縁部における段差を低減し、半導体装置の平坦化を実現できる。

【0011】次に本発明の第2の実施例を説明する。図4 (a) ~ (d) は本発明の第2実施例を説明するための製造工程断面図であり、図6に示すUVPROMトランジスタのC-C線に沿う断面図である。又、図5 (a) ~ (d) は図6のD-D線に沿う断面図である。先ず、図4 (a)、図5 (a) に示すように、半導体基板21上にパッド酸化膜22、ポリシリコン23、空化膜24を成長させる。この時パッド酸化膜22は後にUVPROMの電子捕獲層下のゲート絶縁膜、つまり第1ゲート酸化膜として用いるため、従来の第1ゲート酸化膜と同じ形成条件とする。そして図外のホトレジストをマスクにして素子間分離領域となるべき部分の空化膜24を除去し、さらにホトレジストも除去する。

【0012】次に、図4 (a)、図5 (b) に示すように、約1000°Cでポリシリコン23および半導体基板21を酸化することで、素子間分離領域にフィールド酸化膜25が形成される。次に、図4 (a)、図5 (c) に示すように、空化膜24上の図外の酸化膜および空化膜24を全面除去し、ホトレジストをマスクにしてUVP

OM部以外のポリシリコン23及びパッド酸化膜22を除去する。ポリシリコン23はUVPROMの電子捕獲層として用いるため、抵抗を下げたい場合は高ドーズのリンをポリシリコン23に注入すればよい。

【0013】次に、図4 (d)、図5 (d) に示すように酸化膜26およびUVPROMのゲート電極の制御層となる第2ポリシリコン27を成長し、ホトレジスト28をマスクにして第2ポリシリコン27、酸化膜26、ポリシリコン23を選択的に除去してUVPROMのゲート電極が形成される。その後、ソース・ドレイン拡散層29を形成し、UVPROMが構成される。したがって、この第2実施例では、UVPROMの第1ゲート酸化膜22、電子捕獲層であるポリシリコン23を改めて成長させる工程を削除できる。又、フィールド酸化膜25上には電子捕獲層としてのポリシリコン23が形成されないため、半導体装置の平坦性を確保することができる。

【0014】

【発明の効果】以上説明したように本発明は、LOCOS法で用いるパッド酸化膜をゲート電極部のゲート絶縁膜として用いること、ならびにフィールド酸化膜の酸化材として用いるポリシリコンをゲート電極の一部として用いることで、工程の削減を可能とし、かつフィールド酸化膜における段差低減が実現できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を製造工程順に示す断面図で、図3のA-A線に沿う断面図である。

【図2】本発明の一実施例を製造工程順に示す断面図で、図3のB-B線に沿う断面図である。

【図3】本発明の一実施例におけるMOSトランジスタの平面図である。

【図4】本発明の第2実施例を製造工程順に示す断面図で、図6のC-C線に沿う断面図である。

【図5】本発明の第2実施例を製造工程順に示す断面図で、図6のD-D線に沿う断面図である。

【図6】本発明の第2実施例におけるMOSトランジスタの平面図である。

【図7】従来のLOCOS法を工程順に示す断面図である。

【図8】従来のLOPOS法を工程順に示す断面図である。

【符号の説明】

11, 21 半導体基板

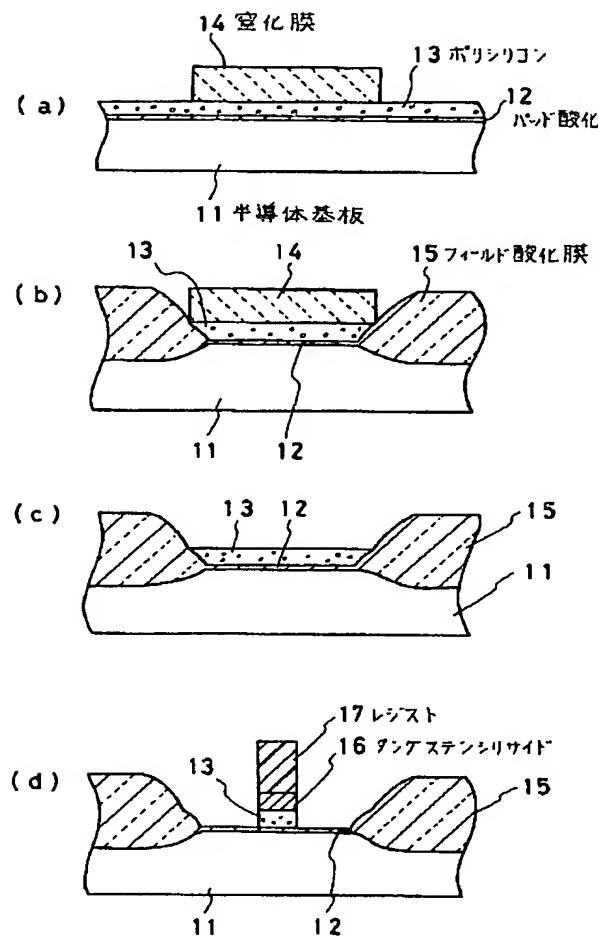
12, 22 パッド酸化膜

13, 23 ポリシリコン

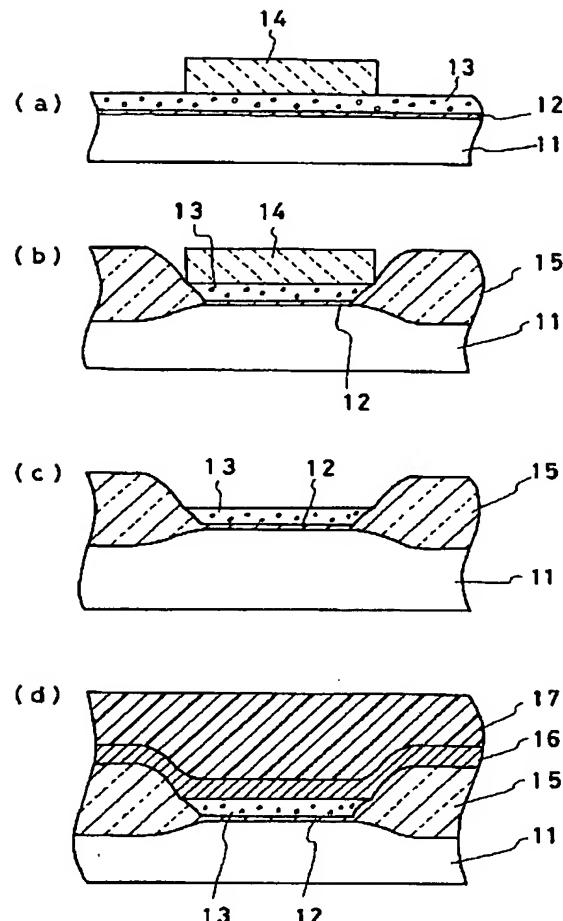
14, 24 空化膜

15, 25 フィールド酸化膜

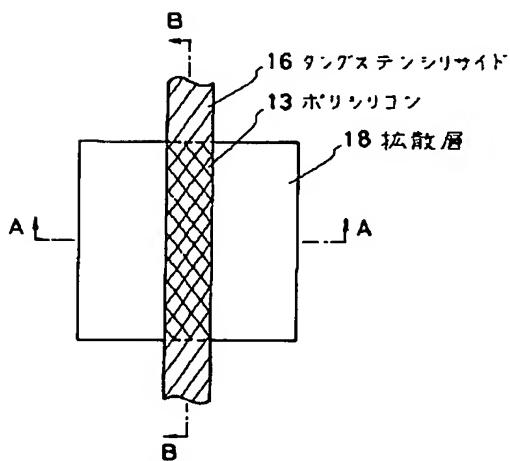
【図1】



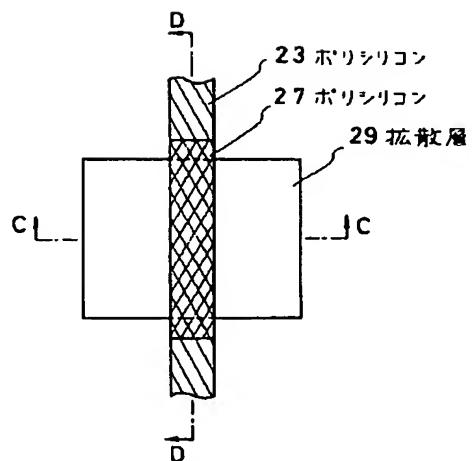
【図2】



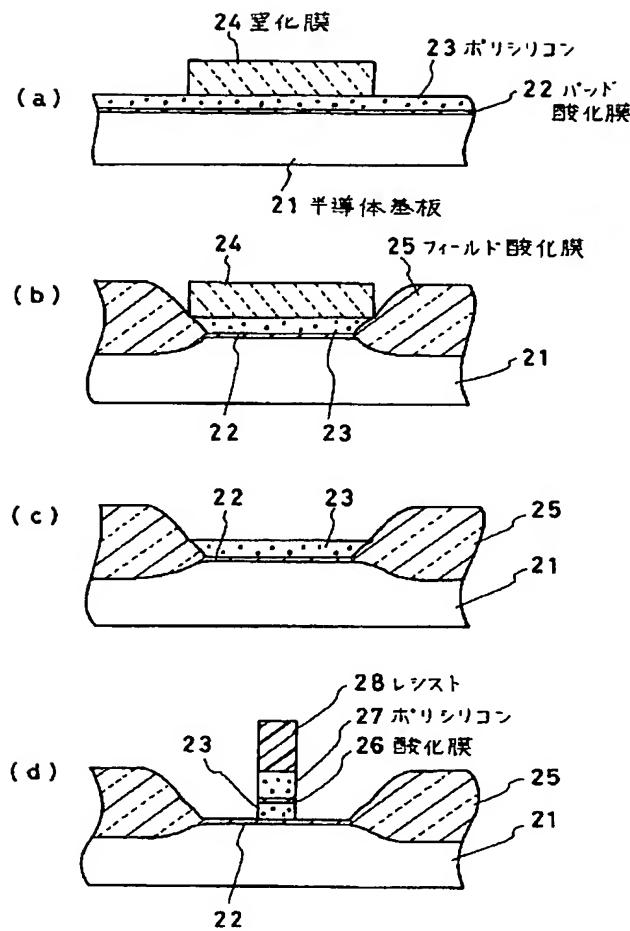
【図3】



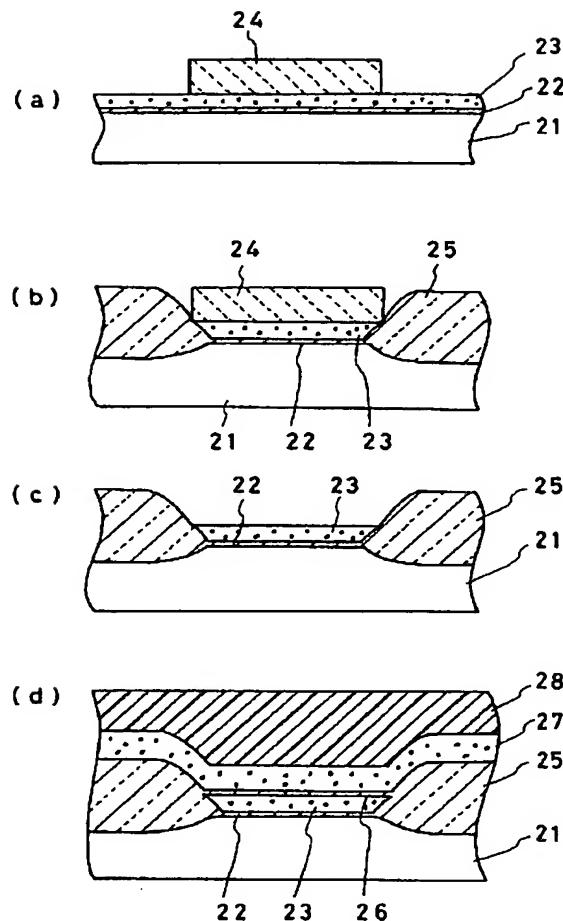
【図6】



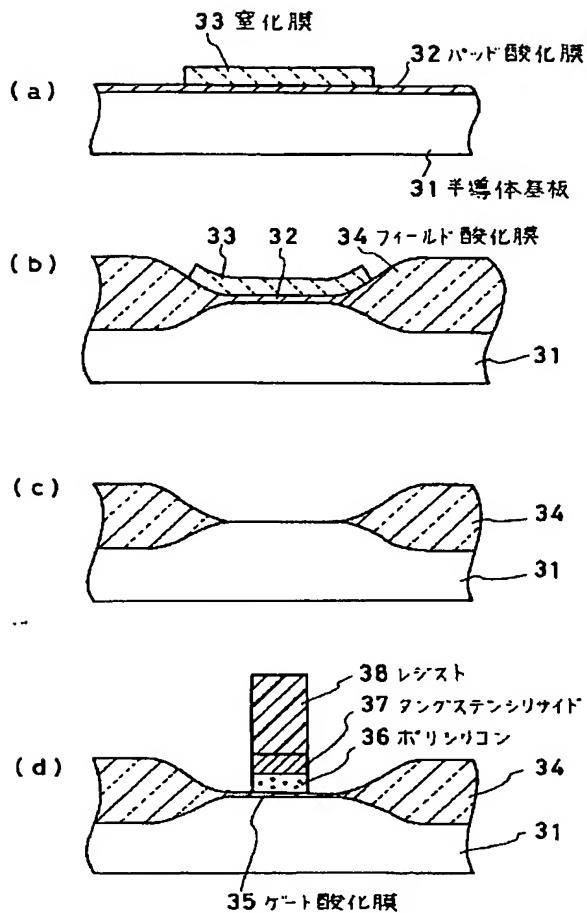
【図4】



【図5】



【図7】



【図8】

